

Docket No.: 50090-234

**PATENT**

10869 U.S. PRO  
09/635902  
08/11/00

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of

Kozo HARADA, et al.

Serial No.:

Group Art Unit:

Filed: August 11, 2000

Examiner:

For: SEMICONDUCTOR DEVICE HAVING DENSELY STACKED SEMICONDUCTOR  
CHIPS

#3/priority  
10/30/00  
Jenkins

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Assistant Commissioner for Patents  
Washington, DC 20231

Sir:

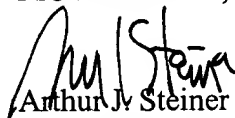
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2000-033790,  
filed February 10, 2000

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Arthur J. Steiner

Registration No. 26,106

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 AJS:klm  
**Date: August 11, 2000**  
Facsimile: (202) 756-8087

50090-234  
AUGUST 11, 2000  
HARADA et al.

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.



出 願 年 月 日

Date of Application:

2000年 2月10日

出 願 番 号

Application Number:

特願2000-033790

出 願 人

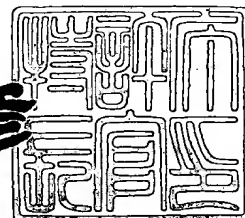
Applicant (s):

三菱電機株式会社

2000年 3月 3日

特許庁長官  
Commissioner,  
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3013204

【書類名】 特許願

【整理番号】 520743JP01

【提出日】 平成12年 2月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/08

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 原田 耕三

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 澤野 寛

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100082175

    【弁理士】

    【氏名又は名称】 高田 守

    【電話番号】 03-5379-3088

【選任した代理人】

    【識別番号】 100066991

    【弁理士】

    【氏名又は名称】 葛野 信一

    【電話番号】 03-5379-3088

【選任した代理人】

    【識別番号】 100106150

    【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100108372

【弁理士】

【氏名又は名称】 谷田 拓男

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9911111

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体チップの第一の主面に第一の電極が形成され、前記第一の主面に対向する第二の主面に第二の電極または絶縁層が形成され、上記第一の電極と上記第二の電極または絶縁層とを接続する導電部材が上記半導体チップの側面外周に沿って形成されたことを特徴とする半導体装置。

【請求項 2】 第一の主面に第一の電極が形成され、前記第一の主面に対向する第二の主面に第二の電極または絶縁層が形成された半導体チップであって、上記第一の電極と上記第二の電極または絶縁層とを接続する導電部材が上記半導体チップの側面外周に沿って形成された半導体チップを複数備え、一方のチップの上記第一の電極と他方のチップの上記第二の電極または絶縁層とが対向するように積層し、隣接する半導体チップのそれぞれの上記導電部材を互いに電気的および機械的に接続したことを特徴とする半導体装置。

【請求項 3】 上記一方のチップが上記第一の電極から引き出された第一の配線パターンを有し、上記他方のチップが上記第二の電極から引き出された第二の配線パターンを有し、上記第一の配線パターンと上記第二の配線パターンとの間に両者を電気的に接続するバンプを備えたことを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 第一の主面に第一の電極が形成され、上記第一の主面に対向する第二の主面に第二の電極または絶縁層が形成された半導体チップであって、上記第一の電極と第二の電極または絶縁層とを接続する導電部材が上記半導体チップの側面外周に沿って形成された半導体チップと、この半導体チップを実装する実装基板とを備え、上記半導体チップが上記実装基板上で所定の角度を持つように配置し、上記半導体チップの上記導電部材を上記実装基板に接続したことを特徴とする半導体装置。

【請求項 5】 上記導電部材として、上記第一の電極と上記第二の電極とにそれぞれワイヤボンドされたワイヤを用いたことを特徴とする請求項 1 ～ 4 のいずれかに記載の半導体装置。

【請求項 6】 上記導電部材として、上記第一の電極と上記第二の電極または絶縁層とを挟む導電性のクリップを用いたことを特徴とする請求項 1～4 のいずれかに記載の半導体装置。

【請求項 7】 上記導電部材として、上記第一の電極から上記第二の電極または絶縁層まで上記半導体チップの表面に成形された導電性材料を用いたことを特徴とする請求項 1～4 のいずれかに記載の半導体装置。

【請求項 8】 主面に電極が形成された半導体チップと、表面に導電性パターンを有する間隔部材とを、上記半導体チップの上記電極と上記間隔部材の上記導電性パターンとが電氣的に接続するようにして交互にそれぞれ複数積層し、かつ隣接する上記間隔部材の上記導電性パターンが相互に電氣的に接続するように配置したことを特徴とする半導体装置。

【請求項 9】 上記間隔部材が上記半導体チップの端部を収容する凹部を有し、隣接する上記間隔部材の導電性パターンが相互に接触するように積層されたことを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】 導電性パターンを有する基板を備え、この基板の上記導電性パターンを、上記複数の間隔部材の上記導電性パターンに当接させて配置してことを特徴とする請求項 8 に記載の半導体装置。

#### 【発明の詳細な説明】

#### 【0001】

#### 【発明の属する技術分野】

この発明は、半導体チップ、特に同一サイズの半導体チップを高密度実装する半導体装置に関するものである。

#### 【0002】

#### 【従来の技術】

図 21 は、半導体チップを積層した従来の半導体装置の構造を示す断面図である。

従来の半導体チップの高密度実装方法を説明すると、まず、導通配線 10 p の施された基板 10 q の上に、実装したい半導体チップの最も大きなサイズのチップ 1 p をチップ上電極を上にしてダイボンディングする。更に同様にその半導体

チップ 1 p の上に、初めにボンディングした半導体チップ 1 p より小さな寸法のチップ 1 q をダイボンディングする。但し、上にダイボンディングする半導体チップは常にその下の半導体チップの電極を避けてダイボンディングされなければならない。次に、この様にして積層された半導体チップ 1 p、1 q の各々の電極から、ワイヤボンディングで基板 1 0 q 上の導通配線 1 0 p へ電気的な導通をとる。

### 【 0 0 0 3 】

#### 【発明が解決しようとする課題】

ただし、従来の方法で、同一サイズの半導体チップを高密度実装した場合、常に下にダイボンディングされる半導体チップの電極は、上にダイボンディングされる半導体チップに隠されてしまい、基板上の導通配線へ電気的な接続をとることができなかった。

この発明は、このような従来の課題を解決するためになされたもので、同一寸法の半導体チップであっても高密度実装を可能にした半導体装置を提供しようとするものである。

### 【 0 0 0 4 】

#### 【課題を解決するための手段】

請求項 1 の発明にかかる半導体装置は、半導体チップの第一の主面に第一の電極が形成され、前記第一の主面に対向する第二の主面に第 2 の電極または絶縁層が形成され、上記第一の電極と上記第二の電極または絶縁層とを接続する導電部材が上記半導体チップの側面外周に沿って形成されたことを特徴とするものである。

### 【 0 0 0 5 】

請求項 2 の発明にかかる半導体装置は、第一の主面に第一の電極が形成され、前記第一の主面に対向する第二の主面に第二の電極または絶縁層が形成された半導体チップであって、上記第一の電極と上記第二の電極または絶縁層とを接続する導電部材が上記半導体チップの側面外周に沿って形成された半導体チップを複数備え、一方のチップの上記第一の電極と他方のチップの上記第二の電極または絶縁層とが対向するように積層し、隣接する半導体チップのそれぞれの上記導電

部材を互いに電気的および機械的に接続したことを特徴とするものである。

【 0 0 0 6 】

請求項 3 の発明にかかる半導体装置は、請求項 2 のものにおいて、上記一方のチップが上記第一の電極から引き出された第一の配線パターンを有し、上記他方のチップが上記第二の電極から引き出された第二の配線パターンを有し、上記第一の配線パターンと上記第二の配線パターンとの間に両者を電気的に接続するバンプを備えたことを特徴とするものである。

【 0 0 0 7 】

請求項 4 の発明にかかる半導体装置は、第一の主面に第一の電極が形成され、上記第一の主面に対向する第二の主面に第二の電極または絶縁層が形成された半導体チップであって、上記第一の電極と第二の電極または絶縁層とを接続する導電部材が上記半導体チップの側面外周に沿って形成された半導体チップと、この半導体チップを実装する実装基板とを備え、上記半導体チップが上記実装基板上で所定の角度を持つように配置し、上記半導体チップの上記導電部材を上記実装基板に接続したことを特徴とするものである。

【 0 0 0 8 】

請求項 5 の発明にかかる半導体装置は、請求項 1 ～ 3 のものにおいて、上記導電部材として、上記第一の電極と上記第二の電極とにそれぞれワイヤボンドされたワイヤを用いたことを特徴とするものである。

【 0 0 0 9 】

請求項 6 の発明にかかる半導体装置は、請求項 1 ～ 3 のものにおいて、上記導電部材として、上記第一の電極と上記第二の電極または絶縁層とを挟む導電性のクリップを用いたことを特徴とするものである。

【 0 0 1 0 】

請求項 7 の発明にかかる半導体装置は、請求項 1 ～ 3 のものにおいて、上記導電部材として、上記第一の電極から上記第二の電極または絶縁層まで上記半導体チップの表面に成形された導電性材料を用いたことを特徴とするものである。

【 0 0 1 1 】

請求項 8 の発明にかかる半導体装置は、主面に電極が形成された半導体チップ



と、表面に導電性パターンを有する間隔部材とを、上記半導体チップの上記電極と上記間隔部材の上記導電性パターンとが電氣的に接続するようにして交互にそれぞれ複数積層し、かつ隣接する上記間隔部材の上記導電性パターンが相互に電氣的に接続するように配置したことを特徴とするものである。

## 【 0 0 1 2 】

請求項 9 の発明にかかる半導体装置は、請求項 8 のものにおいて、上記間隔部材が上記半導体チップの端部を収容する凹部を有し、隣接する上記間隔部材の導電性パターンが相互に接触するように積層されたことを特徴とするものである。

## 【 0 0 1 3 】

請求項 1 0 の発明にかかる半導体装置は、請求項 8 のものにおいて、導電性パターンを有する基板を備え、この基板の上記導電性パターンを、上記複数の間隔部材の上記導電性パターンに当接させて配置してことを特徴とするものである。

## 【 0 0 1 4 】

## 【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態について説明する。図中、同一または相当する部分には同一の符号を付して、適宜その説明を簡略化ないし省略する。

## 実施の形態 1 .

図 1 は、この発明の実施の形態 1 による半導体装置の構造を示す断面図である。

図 1 において、1 は半導体チップ、2 は半導体チップ 1 の表面（第一の主面）に形成した表面電極（第一の電極）、3 は半導体チップ 1 の裏面（第二の主面）に形成した裏面電極（第二の電極）、4 は表面電極 2 と裏面電極 3 とを接続する導電ワイヤ（導電部材）を示す。

## 【 0 0 1 5 】

この実施の形態の半導体装置は、表裏面に電極 2、3 を施した半導体チップ 1 において、表面電極 2 と裏面電極 3 をワイヤボンディングによって電氣的に接続したものである。

この半導体装置は、表面電極 2 に導電ワイヤ 4 をワイヤボンディングした後、半

導体チップ1を表裏反転させ、再び裏面電極3に導電ワイヤ4をワイヤボンディングすることにより製造する。

【0016】

すなわち、この実施の形態の半導体装置は、図1に示すように、半導体チップの表面（第一の主面）に第一の電極が形成され、第一の主面に対向する裏面（第二の主面）に第二の電極が形成され、第一の電極と第二の電極とを接続する導電部材が半導体チップの側面外周に沿って形成されたものである。

【0017】

また、換言すれば、図1に示すように、表裏面に電極が形成された半導体チップにおいて、その表面電極と裏面電極をワイヤボンドによりループ接続したものである。

このようにすれば、同一サイズの半導体チップであっても、このような構造をもつ半導体装置にすることで、積層による高密度実装が可能となる。

【0018】

実施の形態2.

図2および図3は、それぞれこの発明の実施の形態2による半導体装置の構造を示す断面図である。

図2および図3において、5は弾力を持って物を挟む導電性クリップ、6は表面絶縁処理を施して形成された絶縁層、7は絶縁層6が形成された半導体チップを示す。

【0019】

この実施の形態の半導体装置は、図2に示すように、表裏面に電極2, 3を施した半導体チップ1において、その両端が表面電極2と裏面電極3に接するように挟み込まれ、その弾力によって表裏面電極2, 3の接続を保持するような導電性クリップ5を備えて構成される。

あるいは、図3に示すように、表面電極2と裏面に絶縁処理を施した絶縁層6を形成した半導体チップ7において、その両端が表面電極2と絶縁層6に接続されるように挟み込まれ、その弾力によって接続を保持するような導電性クリップ5によって構成される。

## 【 0 0 2 0 】

すなわち、この実施の形態の半導体装置は、図 2 に示すように、表裏面に電極 2, 3 が形成された半導体チップ 1 において、その表面電極 2 と裏面電極 3 が導電性のクリップ 5 によって接合されたものである。又は、図 3 に示すように、裏面が絶縁処理された絶縁層 6 を有する半導体チップ 7 において、表面電極 2 と裏面の絶縁層 6 が導電性クリップ 5 によって挟持されたものである。

このようにすれば、同一サイズの半導体チップであっても、このような構造をもつ半導体装置にすることで、積層による高密度実装が可能となる。

## 【 0 0 2 1 】

実施の形態 3.

図 4 および図 5 は、それぞれこの発明の実施の形態 3 による半導体装置の構造を示す断面図である。

図 4 および図 5 において、8 は半導体チップの表面に噴射成形された導電性材料を示す。

## 【 0 0 2 2 】

この実施の形態の半導体装置は、図 4 に示すように、表裏面に電極 2, 3 を施した半導体チップ 1 において、表面電極 2 から裏面電極 3 へむけて導電性材料 8 を噴射成形することによって構成される。

あるいは、図 5 に示すように、表面電極 2 と裏面に絶縁層 6 を施した半導体チップ 7 において、表面電極 2 から絶縁層 6 へむけて導電性材料 8 を噴射などの方法により成形することによって構成される。

## 【 0 0 2 3 】

すなわち、この実施の形態の半導体装置は、図 4 に示すように、表裏面に電極 2, 3 が形成された半導体チップ 1 において、その表面電極 2 と裏面電極 3 との間が導電性材料を噴射成形することによって接続されたものである。又は、図 5 に示すように、裏面が絶縁処理された絶縁層 6 を有する半導体チップ 7 において、表面電極 2 と裏面の絶縁層 6 との間が導電性材料を噴射成形などの方法により形成することによって接続されたものである。

このようにすれば、同一サイズの半導体チップであっても、このような構造をも

つ半導体装置にすることで、積層による高密度実装が可能となる。

【0024】

実施の形態4.

図6および図7は、この発明の実施の形態4による半導体装置の構造を示す断面図である。

図6および図7において、1は積層された一方の半導体チップ、1'は積層された他方の半導体チップ、4は一方の導電部材、4'は他方の導電部材を示す。また、図7において、2aは表面電極（第一の電極）2から引き出された第一の配線パターン、3aは裏面電極（第二の電極）3から引き出された第二の配線パターン、23はバンプを示す。

【0025】

この実施の形態の半導体装置は、図6に示すように、図1を参照して説明した半導体チップもしくは半導体装置を少なくとも2個以上積層し、下段に位置する半導体チップ1の表面電極2に接続された導電ワイヤ4と、上段に位置する半導体チップ1'の裏面電極3に接続されている導電ワイヤ4'を、はんだ等を用いた金属接合または、接触させることによって構成される。

また他の例として、図7に示すように、図1を参照して説明した半導体チップもしくは半導体装置を少なくとも2個以上積層し、下段に位置する半導体チップ1の表面電極2から延ばされた配線パターン2aと、上段に位置する半導体チップ1'の裏面電極3から延ばされた配線パターン3aとを、バンプ23によってバンプ接続したことによって構成される。

【0026】

すなわち、この実施の形態の積層型半導体装置は、図6に例示すように、表面（第一の主面）に表面電極（第一の電極）2が形成され、表面（第一の主面）に対向する裏面（第二の主面）に裏面電極（第二の電極）3（または絶縁層6）が形成された半導体チップ1、1'であって、表面電極（第一の電極）2と裏面電極（第二の電極）3（または絶縁層6）とを接続する導電部材4、4'が半導体チップ1、1'の側面外周に沿って形成された半導体チップ1、1'を複数備え、一方のチップ1の表面電極（第一の電極）2と他方のチップ1'の裏面電極（

第二の電極) 3 (または絶縁層 6) とが対向するように積層し、隣接する半導体チップ 1, 1' のそれぞれの導電部材 4, 4' を互いに電気的および機械的に接続したものである。

また、この実施の形態の他の積層型半導体装置は、図 7 に例示するように、一方のチップ 1 が表面電極 (第一の電極) 2 から引き出された第一の配線パターン 2 a を有し、他方のチップ 1' が裏面電極 (第二の電極) 3 から引き出された第二の配線パターン 3 a を有し、第一の配線パターン 2 a と第二の配線パターン 3 a との間に両者を電気的に接続するバンプ 2 3 を備えたものである。

#### 【0027】

また、換言すれば、この実施の形態の積層型半導体装置は、図 6 に示すように、表裏面に電極 2, 3 が形成された半導体チップ 1, 1' において、その表面電極 2 と裏面電極 3 がワイヤボンドによりループ接続された半導体装置を少なくとも 2 個以上積み重ね、相互の電気接続を、チップ表裏をループ接続した導電材料 (ワイヤ) 4, 4' を相互に接続して行い、又は、図 7 に示すように、その導電材料 (ワイヤ) 4, 4' と電極 2, 3 から引き出した配線パターン 2 a, 3 a 上に成形された金属バンプ 2 3 とにより行ったものである。

このようにすれば、同一サイズの半導体チップもしくは半導体装置を積層して上下の半導体チップを電気的に接続することができ、積層型半導体装置を製造することができる。

#### 【0028】

実施の形態 5.

図 8 ~ 10 は、それぞれこの発明の実施の形態 5 による半導体装置の構造を示す断面図である。

図 8 ~ 図 10 において、5 は一方の導電性クリップ、5' は他方の導電性クリップ、7 は積層された一方の半導体チップ、7' は積層された他方の半導体チップを示す。

#### 【0029】

この実施の形態の半導体装置は、図 8 に示すように、図 2 を参照して説明した半導体装置 1, 1' を少なくとも 2 個以上積層し、下段に位置する半導体チップ

1 に設けられた導電性クリップ 5 と、上段に位置する半導体チップ 1' に設けられた導電性クリップ 5' とを、はんだ等を用いた金属接合、または接触によって各々接続することによって構成される。

また、他の例として、図 9 に示すように、図 3 を参照して説明した半導体装置を少なくとも 2 個以上積層し、下段に位置する半導体チップ 7 に設けられた導電性クリップ 5 と、上段に位置する半導体チップ 7' に設けられた導電性クリップ 5' とを、はんだ等を用いた金属接合、または接触によって各々接続することによって構成される。

また、さらの他の例として、図 10 に示すように、図 2 を参照して説明した半導体装置を少なくとも 2 個以上積層し、下段に位置する半導体チップ 1 の表面電極 2 から延ばされた第一の配線パターン 2 a と、上段に位置する半導体チップ 1' の裏面電極 3 から延ばされた第二の配線パターン 3 a とを、バンプ 2 3 によってバンプ接続したことによって構成される。

#### 【 0 0 3 0 】

すなわち、この実施の形態の積層型半導体装置は、図 8 ～ 10 に示すように、表面に電極 2 が形成され、裏面に電極 3 または絶縁層 6 が形成された半導体チップ 1, 1' の、表面電極 2 と裏面の電極 3 または絶縁層 6 が導電性クリップ 5, 5' によって接続された半導体装置を少なくとも 2 個以上積み重ね、各々の電気接続をチップ表裏を接続した導電性のクリップ 5, 5' を相互に接続して行い、または、その導電性のクリップ 5, 5' と電極 2, 3 から引き出した配線パターン 2 a, 3 a 上に成形された金属バンプ 2 3 とにより行ったものである。このようにすれば、同一サイズの半導体チップを積層して上下の半導体チップを電氣的に接続することができ、積層型半導体装置を製造することができる。

#### 【 0 0 3 1 】

実施の形態 6.

図 11 ～ 図 13 は、この発明の実施の形態 6 による半導体装置の構造を示す断面図である。

図 11 ～ 図 13 において、8 は一方の導電材料、8' は他方の導電材料を示す。

## 【 0 0 3 2 】

この実施の形態の半導体装置は、図 1 1 に示すように、図 4 を参照して説明した半導体装置を少なくとも 2 個以上積層し、下段に位置する半導体チップ 1 に射出成形された導電材料 8 と、上段に位置する半導体チップ 1' に射出成形された導電材料 8' とを、各々接続することによって構成される。

また、他の例として、図 1 2 に示すように、図 5 を参照して説明した半導体装置を少なくとも 2 個以上積層し、下段に位置する半導体チップ 7 に射出成形された導電材料 8 と、上段に位置する半導体チップ 7' に射出成形された導電材料 8' とを、各々接続することによって構成される。

また、さらに他の例として、図 1 3 に示すように、図 4 を参照して説明した半導体装置を少なくとも 2 個以上積層し、下段に位置する半導体チップ 1 の表面電極 2 から延ばされた第一の配線パターン 2 a と、上段に位置する半導体チップ 1' の裏面電極 3 から延ばされた第二の配線パターン 3 a とを、バンプ 2 3 によってバンプ接続したことによって構成される。

## 【 0 0 3 3 】

すなわち、この実施の形態の積層型半導体装置は、図 1 1 ～ 1 3 に示すように、表裏面に電極 2, 3 が形成され、その表面電極 2 と裏面電極 3 が導電性材料 8, 8' を噴射成形することによって接続された半導体装置、又は裏面が絶縁処理され表面電極 2 と裏面の絶縁層 6 が導電材料 8, 8' を噴射成形することによって接続された半導体装置を少なくとも 2 個以上積み重ね、各々の電気接続をチップ表裏を接続した導電材料 8, 8' を互いに接続して行い、または、その導電材料 8, 8' と電極 2, 3 から引き出した配線パターン 2 a, 3 a 上に成形された金属バンプ 2 3 とにより行ったものである。

このようにすれば、同一サイズの半導体チップを積層して上下の半導体チップを電氣的に接続することができ、積層型半導体装置を製造することができる。

## 【 0 0 3 4 】

実施の形態 7.

図 1 4 は、この発明の実施の形態 7 による半導体装置の構造を示す断面図である。

図 1 4 において、9 は導電性パターン、1 0 は実装基板を示す。

この実施の形態の半導体装置は、図 1 を参照して説明した半導体装置において表面電極 2 と裏面電極 3 を電氣的接続している導電ワイヤ 4 を半導体チップ 1 の一辺側に配し、表面に導電パターン 9 の施された実装基板 1 0 に対して垂直になるよう半導体チップ 1 を配した上で、その導電ワイヤ 4 と実装基板 1 0 上の導電パターン 9 とを接着剤等により電氣的に接続し固定することにより構成される。

【 0 0 3 5 】

すなわち、この実施の形態の半導体装置は、表面（第一の主面）に表面電極（第一の電極）2 が形成され、表面（第一の主面）に対向する裏面（第二の主面）に裏面電極（第二の電極）3 または絶縁層 6 が形成された半導体チップ 1 であって、表面電極（第一の電極）2 と裏面電極（第二の電極）3 または絶縁層 6 とを接続する導電部材 4 が半導体チップ 1 の側面外周に沿って形成された半導体チップ 1 と、この半導体チップ 1 を実装する実装基板 1 0 とを備え、半導体チップ 1 が実装基板 1 0 上で、例えば垂直に配置するなど、所定の角度を持つように配置し、半導体チップ 1 の導電部材 4 を実装基板 1 0 に接続したものである。

【 0 0 3 6 】

また、換言すれば、表裏面に電極 2, 3 が形成された半導体チップ 1 において、その表面電極 2 と裏面電極 3 がワイヤボンドによりループ接続された半導体装置において、少なくともチップ 1 の一辺に引き出されたワイヤ 4 （チップ表裏接続端子または接続材料）を実装基板 1 0 に接続したものである。

このようにすれば、実装基板 1 0 に対して半導体チップ 1 を、所定の角度に、例えば垂直に配置できるため、高密度実装が可能である。

【 0 0 3 7 】

実施の形態 8.

図 1 5 は、この発明の実施の形態 8 による半導体装置の構造を示す断面図である。

この実施の形態の半導体装置は、図 3 を参照して説明した半導体装置で、表面電極 2 と裏面の絶縁層 6 を挟んでいる導電性クリップ 5 を半導体チップ 1 の一辺側に配し、半導体チップ 1 を、表面に導電パターン 9 に施された実装基板 1 0 に



対して垂直になるように配置した上で、その導電性クリップ 5 と実装基板 1 0 上の導電パターン 9 を電氣的に接続し、固定することにより構成される。

#### 【 0 0 3 8 】

すなわち、この実施の形態の半導体装置は、表裏面に電極 2, 3 が形成されその表面電極 2 と裏面電極 3 が導電性クリップ 5 によって挟持された半導体チップ 1 において、少なくともチップ 1 の一辺に引き出された導電性クリップ 5 (チップ表裏接続端子または接続材料) を実装基板 1 0 に接続し固定したものである。

又は、裏面が絶縁処理された絶縁層 6 を有する半導体チップ 7 において表面電極 2 と裏面の絶縁層 6 が導電性クリップ 5 によって挟持された半導体装置において、少なくともチップ 1 の一辺に引き出された導電性クリップ 5 (チップ表裏接続端子または接続材料) を実装基板 1 0 に接続し固定したものである。

このようにすれば、実装基板に対して半導体チップを、所定の角度に、例えば垂直に配置できるため、高密度実装が可能である。

#### 【 0 0 3 9 】

実施の形態 9.

図 1 6 は、この発明の実施の形態 9 による半導体装置の構造を示す断面図である。

この実施の形態の半導体装置は、図 5 を参照して説明した半導体装置において表面電極 2 と裏面の絶縁層 6 上に形成された導電性材料 8 を半導体チップ 7 の一辺側に配し、表面に導電パターン 9 の施された実装基板 1 0 に対して垂直になるよう半導体チップ 7 を配置した上で、その導電材料 8 と実装基板 1 0 上の導電パターン 9 を接続材 9 により電氣的に接続することにより構成される。

#### 【 0 0 4 0 】

すなわち、この実施の形態の半導体装置は、表裏面に電極 2, 3 が形成されその表面電極 2 と裏面電極 3 が導電性材料 8 を噴射成形することによって接続された半導体チップ 1 において、少なくともチップ 1 の一辺に形成された導電性材料 8 (チップ表裏接続端子または接続材料) を実装基板 1 0 に接続したものである。

又は、半導体チップ 1 の裏面が絶縁処理され表面電極 2 と裏面の絶縁層 6 が導

電性材料 8 を噴射成形することによって接続された半導体装置において、少なくともチップ 1 の一辺に形成された導電性材料 8（チップ表裏接続端子または接続材料）を実装基板 1 0 に接続したものである。

このようにすれば、実装基板に対して半導体チップを、所定の角度に、例えば垂直に配置できるため、高密度実装が可能である。

#### 【 0 0 4 1 】

実施の形態 1 0 .

図 1 7 および図 1 8 は、この発明の実施の形態 1 0 による半導体装置の構造を示す断面図である。

図 1 7 および図 1 8 において、1 1 は導電性パターン、1 2 は表面に導電性パターン 1 1 が形成された絶縁体（間隔部材、スペーサ）を示す。

#### 【 0 0 4 2 】

この実施の形態の半導体装置は、表面電極 2 を有し裏面に絶縁処理により絶縁層 6 を施した半導体チップ 7 と、図 1 8 に示すように導電性パターン 1 1 をその周囲に施した鍵型の絶縁体 1 2（間隔部材）を、少なくとも 2 個以上交互に積層し、その導電パターン 1 1 と半導体チップ 7 上の表面電極 2 を電氣的に接続したことにより構成される。

#### 【 0 0 4 3 】

すなわち、この実施の形態の半導体装置は、主面に電極 2 が形成された半導体チップ 1 と、表面に導電性パターン 1 1 を有する絶縁体（間隔部材）1 2 とを、半導体チップ 1 の電極 2 と絶縁体（間隔部材）1 2 の導電性パターン 1 1 とが電氣的に接続するようにして交互にそれぞれ複数積層し、かつ隣接する絶縁体（間隔部材）1 2 の導電性パターン 1 1 が相互に電氣的に接続するように配置したものである

また、絶縁体（間隔部材）1 2 が半導体チップ 1 の端部を収容する凹部を有し、隣接する絶縁体（間隔部材）1 2 の導電性パターン 1 1 が相互に接触するように積層されたものである。

#### 【 0 0 4 4 】

また、換言すれば、少なくとも 2 個以上積み重ねられた半導体チップの電極間

接続を、導電性パターン 1 1（導電配線）を形成された絶縁体 1 2 をチップ間に挟み込むことによって構成したものである。

このようにすれば、同一サイズの半導体チップを積層して上下の半導体チップを電氣的に接続することができ、積層型半導体装置を製造することができる。

#### 【 0 0 4 5 】

実施の形態 1 1 .

図 1 9 および図 2 0 は、この発明の実施の形態 1 1 による半導体装置の構造を示す断面図である。

図 1 9 および図 2 0 において、1 1' は他の導電性パターン、1 2' は表面に導電性パターン 1 2' を形成した他の絶縁体（間隔部材、スペーサ）を示す。また、1 3 は他の導電性パターン、1 4 は表面に導電性パターン 1 3 を形成した基板を示す。

#### 【 0 0 4 6 】

この実施の形態の半導体装置は、表面電極 2 と裏面に絶縁処理により絶縁層 6 を施した半導体チップ 7 と、図 2 0 のような導電パターン 1 1' をその周囲に施した絶縁体 1 2' を、少なくとも 2 個以上交互に積層し、表面電極 2 と導電パターン 1 1' を接続し、さらに、その積層した両脇に導電パターン 1 3 を施した基板 1 4 を配し、絶縁体 1 2' 上の導電パターン 1 1' と基板 1 4 上の導電パターン 1 3 を接続することによって構成される。

#### 【 0 0 4 7 】

すなわち、この実施の形態の積層型半導体装置は、主面に電極 2 が形成された半導体チップ 7 と、表面に導電性パターン 1 1' を有する絶縁体（間隔部材）1 2' とを、半導体チップ 7 の電極 2 と絶縁体（間隔部材）1 2' の導電性パターン 1 1' とが電氣的に接続するようにして交互にそれぞれ複数積層し、導電性パターン 1 3 を有する基板 1 4 を、この基板 1 4 の導電性パターン 1 3 を複数の絶縁体（間隔部材）1 2' の導電性パターン 1 1' に当接させて配置したものである。

#### 【 0 0 4 8 】

また、換言すれば、少なくとも 2 個以上積み重ねられた半導体チップ 7 の電極

間接続を、チップ間に挟み込まれた絶縁体（間隔部材）12'の導電性パターン（導電配線）11'と、その両側面に配した基板14の導電性パターン（配線部）13を接続することによって構成したものである。

このようにすれば、同一サイズの半導体チップを積層して上下の半導体チップを電氣的に接続することができ、積層型半導体装置を製造することができる。

【0049】

【発明の効果】

請求項1および請求項5～7の発明によれば、表面に電極が形成され、裏面に電極または絶縁層が形成された半導体チップにおいて、その表面電極と裏面電極がワイヤボンドによりループ接続された半導体装置が得られる。あるいは、その表面電極と裏面電極／絶縁層が導電性クリップによって、または、付着された導電性材料によって接続された半導体装置が得られる。これによれば同一寸法の半導体チップあるいは半導体装置であっても積層することが可能であり、高密度に実装した積層型半導体装置が得られる。

【0050】

請求項2～3および請求項5～7の発明によれば、請求項1および請求項5～7の発明による半導体装置を積層し、相互の電氣的接続を行い、高密度に実装した積層型の半導体装置が得られる。

【0051】

請求項4および請求項5～7の発明によれば、請求項1および請求項5～7の発明による半導体装置を実装用基板に垂直に実装できるので、高密度に実装した半導体装置が得られる。

【0052】

請求項8～10の発明によれば、表面に導電配線を形成した間隔部材を挟んで半導体チップ複数個積み重ね、その相互の電極間接続を行うことができ、高密度に実装した積層型半導体装置が得られる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体装置の断面図である。

【図2】 この発明の実施の形態2による半導体装置の断面図である。

- 【図 3】 この発明の実施の形態 2 による他の半導体装置の断面図である。
- 【図 4】 この発明の実施の形態 3 による半導体装置の断面図である。
- 【図 5】 この発明の実施の形態 3 による他の半導体装置の断面図である。
- 【図 6】 この発明の実施の形態 4 による半導体装置の断面図である。
- 【図 7】 この発明の実施の形態 4 による他の半導体装置の断面図である。
- 【図 8】 この発明の実施の形態 5 による半導体装置の断面図である。
- 【図 9】 この発明の実施の形態 5 による他の半導体装置の断面図である。
- 【図 1 0】 この発明の実施の形態 5 による他の半導体装置の断面図である

- 【図 1 1】 この発明の実施の形態 6 による半導体装置の断面図である。
- 【図 1 2】 この発明の実施の形態 6 による他の半導体装置の断面図である

- 【図 1 3】 この発明の実施の形態 6 による他の半導体装置の断面図である

- 【図 1 4】 この発明の実施の形態 7 による半導体装置の断面図である。
- 【図 1 5】 この発明の実施の形態 8 による半導体装置の断面図である。
- 【図 1 6】 この発明の実施の形態 9 による半導体装置の断面図である。
- 【図 1 7】 この発明の実施の形態 1 0 による半導体装置の断面図である。
- 【図 1 8】 この発明の実施の形態 1 0 における間隔部材を示す斜視図である。

- 【図 1 9】 この発明の実施の形態 1 1 による半導体装置の断面図である。
- 【図 2 0】 この発明の実施の形態 1 1 における間隔部材を示す斜視図である。

- 【図 2 1】 従来の積層型半導体装置の例を示す断面図である。

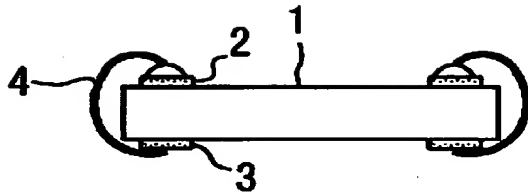
【符号の説明】

1, 1' 半導体チップ、 2 表面電極（第一の電極）、 3 裏面電極（第二の電極）、 2 a 配線パターン（第一の配線パターン）、 3 a 配線パターン（第二の配線パターン）、 4, 4' 導電ワイヤ（導電部材）、 5, 5' 導電性クリップ（導電部材）、 6 絶縁層、 7, 7' 半導体チップ

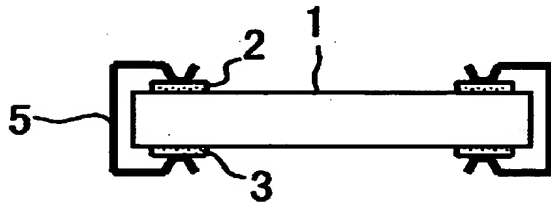
、 8, 8' 導電性材料（導電部材）、 9 導電性パターン、 10 実装  
基板、 11, 11' 導電性パターン、 12, 12' 絶縁体（間隔部材）  
、 13 導電性パターン、 14 基板。

【書類名】 図面

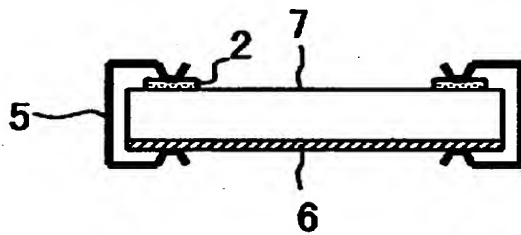
【図1】



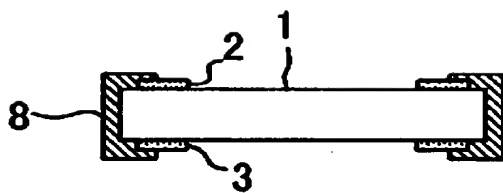
【図2】



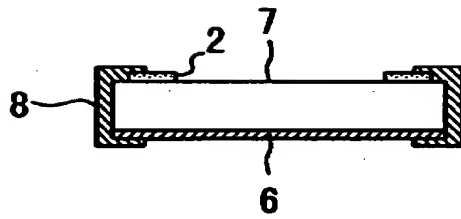
【図3】



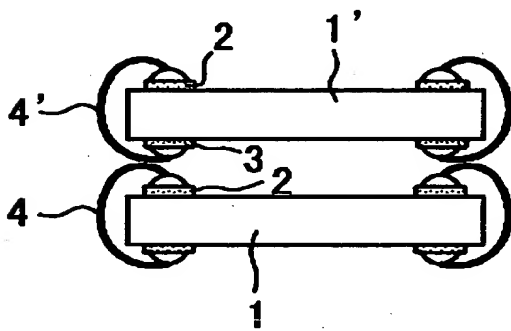
【図4】



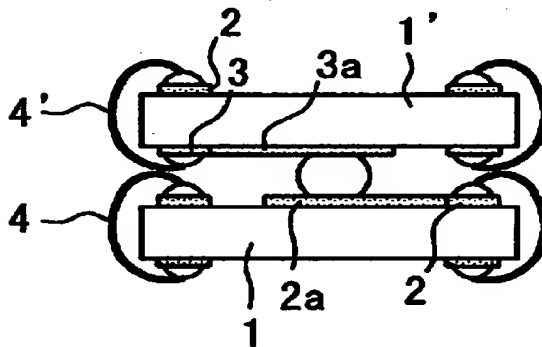
【図 5】



【図 6】

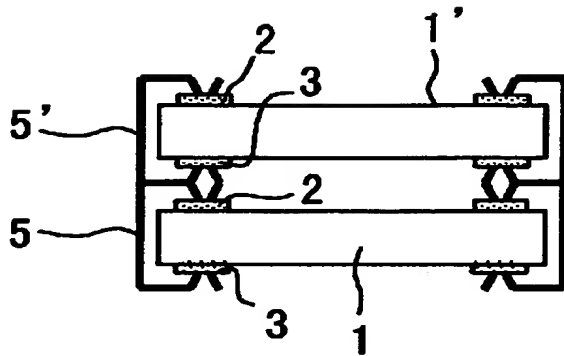


【図 7】

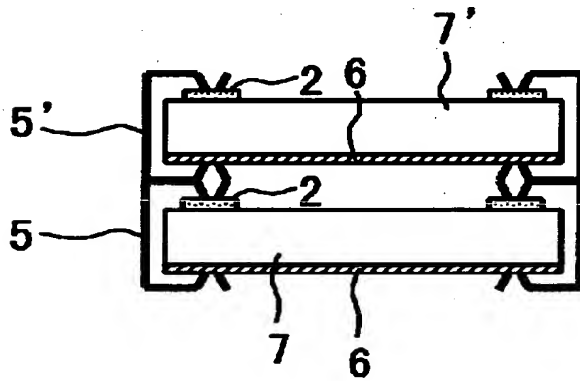




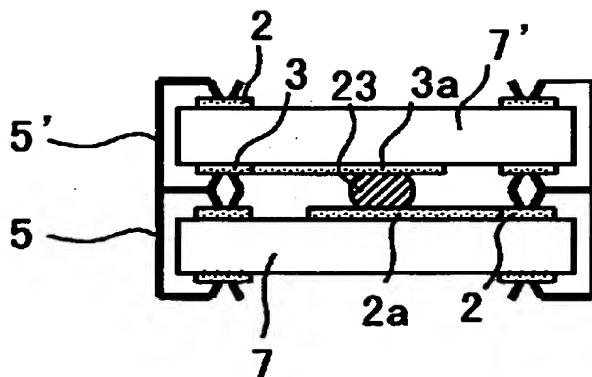
【図8】



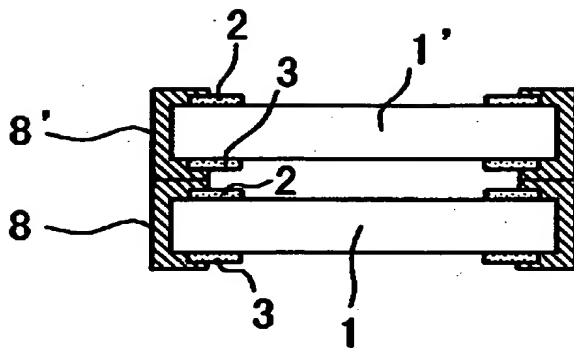
【図9】



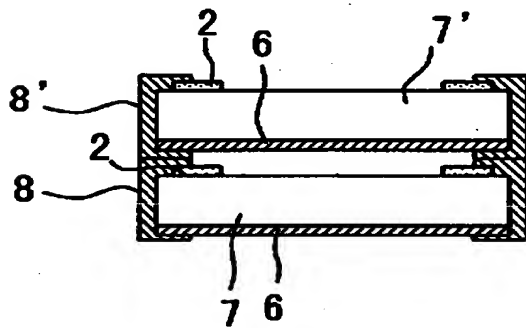
【図10】



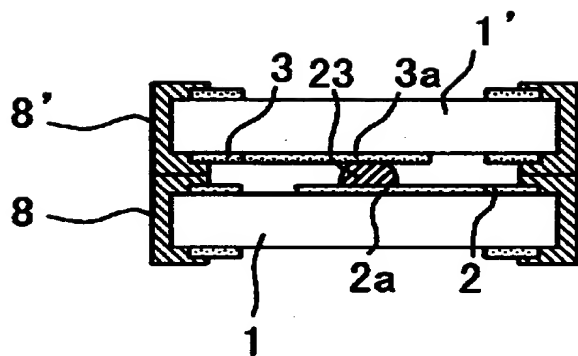
【図 11】



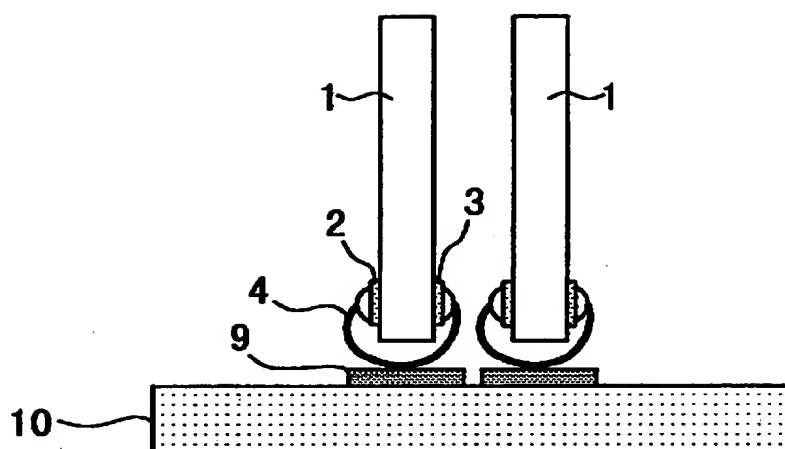
【図 12】



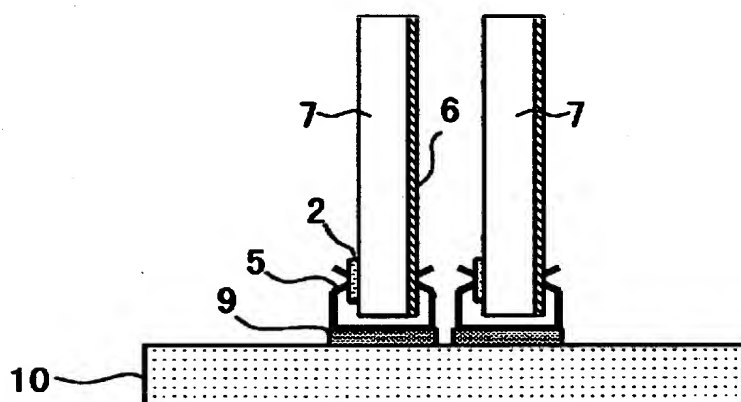
【図 13】



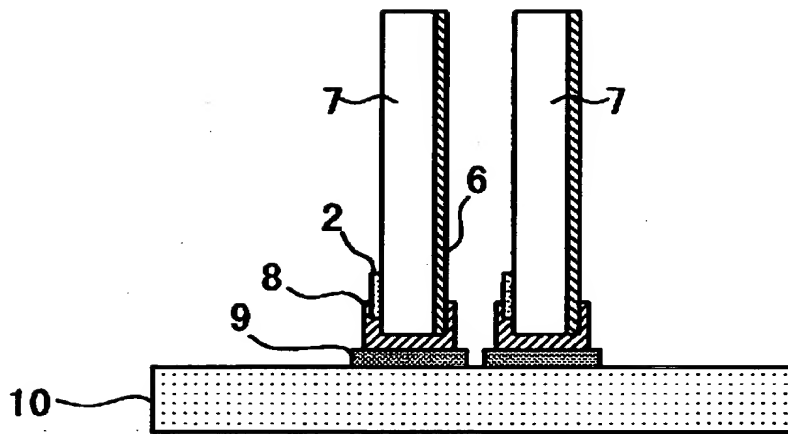
【図 14】



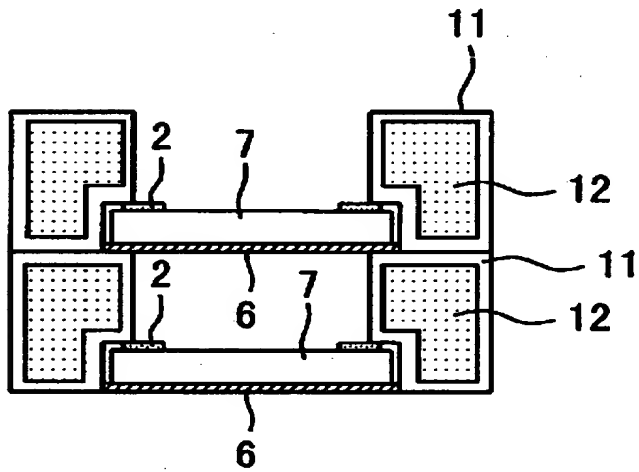
【図 15】



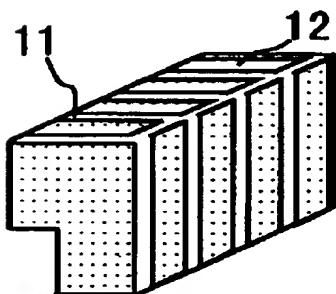
【図 16】



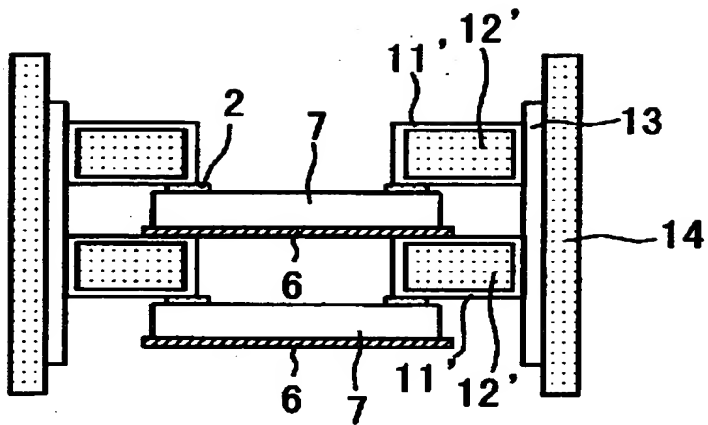
【図 17】



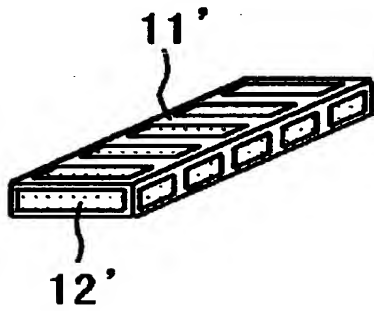
【図 18】



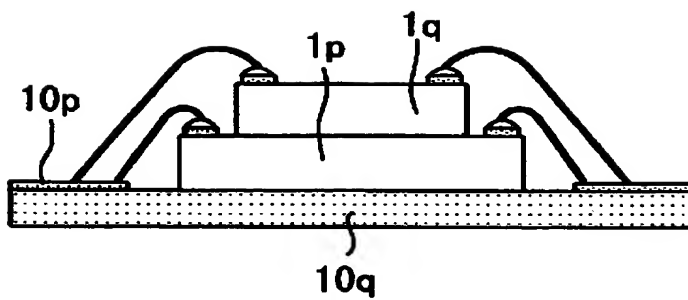
【図 19】



【図 20】



【図 21】



【書類名】 要約書

【要約】

【課題】 同一寸法の半導体チップであっても高密度実装を可能にした半導体装置を得る。

【解決手段】 表面に電極が形成され裏面に電極または絶縁層が形成された半導体チップにおいて、その表面電極と裏面電極をワイヤボンドによりループ接続する。あるいは、その表面電極と裏面電極／絶縁層を導電性クリップによって、または、付着された導電性材料によって接続する。このようにした半導体チップを積層してワイヤ、導電性クリップあるいは導電性材料を相互に接続して固定することにより同一寸法の半導体チップを高密度に実装した積層型半導体装置を得る。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社